МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«Ижевский государственный технический университет имени М. Т. Калашникова»

(ФГБОУ ВО «ИжГТУ имени М. Т. Калашникова)

Кафедра «Программное обеспечение»

Отчет по практической работе №4

# по дисциплине «Архитектура электронно-вычислительных машин»

Выполнил:

студент группы Б04-191-3 Р. А. Гумметов

Принял: А. Х. Аль Аккад

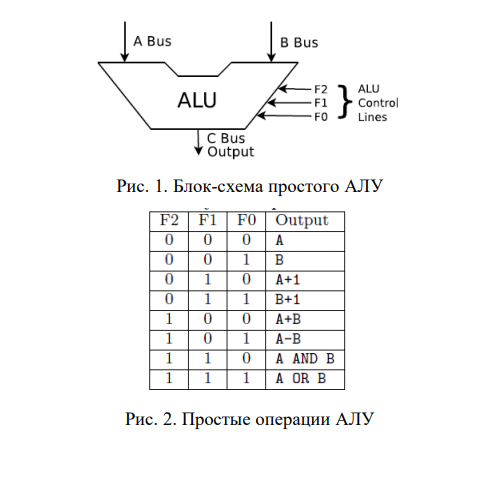
Ижевск 2020

1. Цель работы

Проектирование и моделирование простой архитектуры процессора (шаг 1)

Шаг 1: Проектирование простого АЛУ:

Разработайте АЛУ как показано на рисунке 1, которое выполняет операции, показанные на рисунке 2.



2. Ход работы

1. Сумматор

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Cin | Sum | Cout |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

|  |  |  |
| --- | --- | --- |
| AB \ Cin | 0 | 1 |
| 00 |  | 1 |
| 01 | 1 |  |
| 11 |  | 1 |
| 10 | 1 |  |

|  |  |  |
| --- | --- | --- |
| AB \ Cin | 0 | 1 |
| 0 0 |  |  |
| 0 1 |  | 1 |
| 1 1 | 1 | 1 |
| 1 0 |  | 1 |

Sum =

2) Вычитатель

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Cin | Dif | V |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

|  |  |  |
| --- | --- | --- |
| AB/Cin | 0 | 1 |
| 0 0 | 1 |  |
| 0 1 |  | 1 |
| 1 1 | 1 |  |
| 1 0 |  | 1 |

|  |  |  |
| --- | --- | --- |
| AB/Cin | 0 | 1 |
| 0 0 |  | 1 |
| 0 1 | 1 | 1 |
| 1 1 |  | 1 |
| 1 0 |  |  |

Dif = A ⊕ B ⊕ Cin

V = !A \* (B⊕ Cin) + B \* Cin

3) Декодер

|  |  |  |
| --- | --- | --- |
|  | ln | Out |
| E | A1 | A2 | O0 | O1 | O2 | O3 |
| 0 | X | X | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

Out0=E\*!A1\*!A0

Out1=E\*!A1\*A0

Out2=E\*A1\*!A0

Out3=E\*A1\*A0

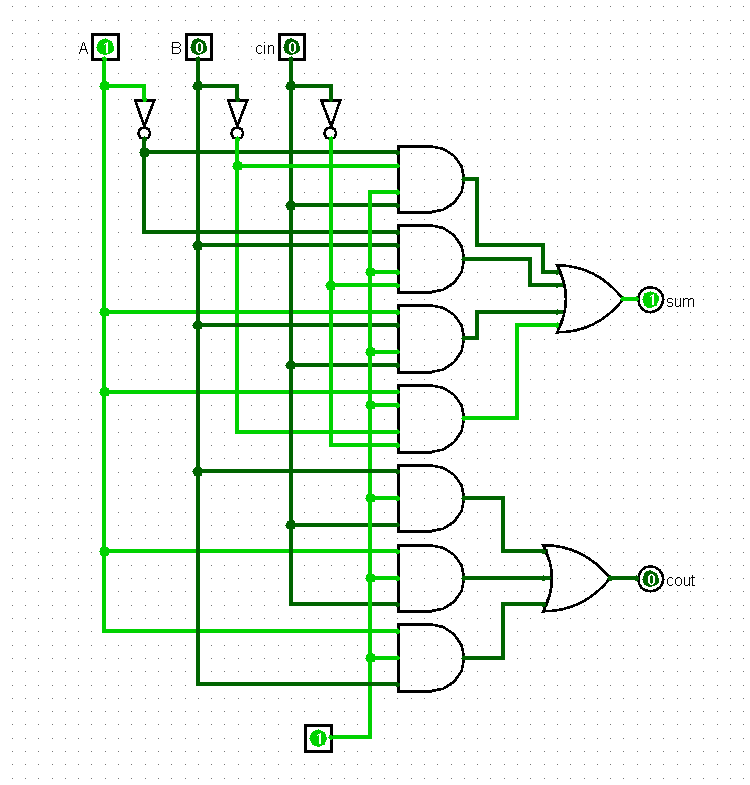


Рис. 3. Сумматор

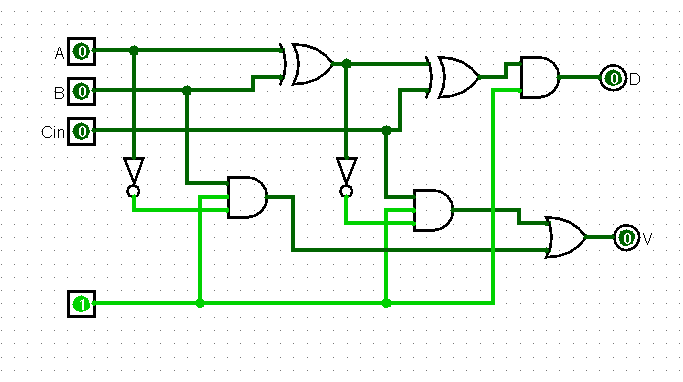


Рис. 4. Вычитатель

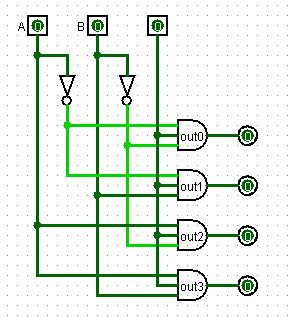


Рис. 5. Декодер 2x4

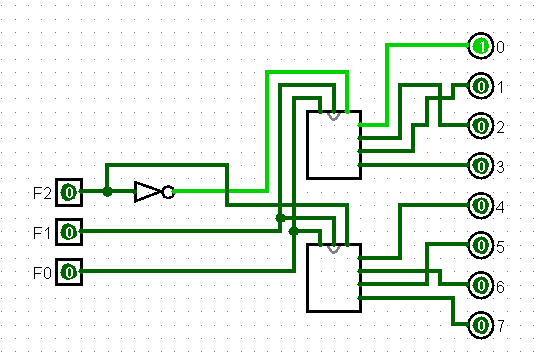


Рис. 6. Декодер 3x8

На рис.7 представлена общая схема АЛУ 1 бит

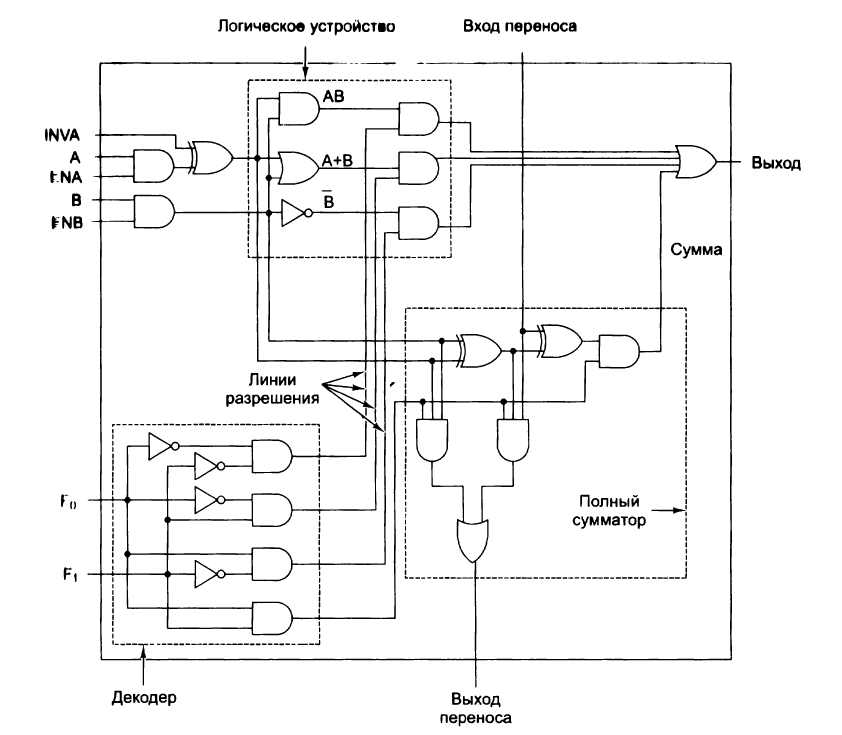


Рис.7

1. Вывод

В ходе практической работы были спроектированы необходимые части для создания однобитного АЛУ и представлена общая схема однобитного АЛУ.